

報道機関各位  
プレスリリース

2009年3月26日  
マセマテック株式会社  
渡雅男

---

マセマテック株式会社

FPGAのコスト削減目的で、その使用数量を削減したり、規模の小さなFPGAに変更出来る、『FPGAの回路縮小設計受託サービス』を本格スタート

ー 日本で唯一のFPGA回路縮小設計受託サービス ー  
<http://www.mathematec.com/>

---

マセマテック株式会社（所在地：東京都中央区日本橋 代表取締役社長：渡雅男）は、FPGAの使用個数を削減したり、ワンランク下のFPGAに変更出来る、『FPGAの回路縮小設計受託サービス』を本格的に開始した。

今回 発表するFPGAの回路縮小設計受託サービスとは、次のとおりである。

■サービス詳細

マセマテック株式会社は、従来行っていたRTLレベルによるASICの回路縮小設計受託サービスを、FPGA向けにも展開させました。独自の数学的なアプローチであるSpinor®技術により、お客様が想定されている回路規模を大幅に縮小させることで、コスト削減に寄与いたします。先に行ったケースでは、例えば2つのFPGAを1つにまとめたり、1つか2つ下のクラスのFPGAに変更するなど、大幅なコスト削減が可能であることが証明され、お客様からは大変喜ばれております。

但し、回路仕様により回路規模の削減率は変わります。ぜひ一度ご相談下さい。

■特徴

1. 日本で唯一のFPGA回路縮小設計受託サービス
2. プロセス非依存のRTLレベルで回路を縮小
3. FPGAの使用数量を削減、もしくは規模の小さなFPGAに変更させることで、大幅にコストを削減することが可能（但し、回路仕様により回路規模の削減率は変わる）
4. 同時に、「消費電力」、「遅延」、「レイテンシ」の削減、及び「高速化」が可能
5. 仕様企画の段階など、お客様のどの開発フェーズからでも参画可能
6. 同一のRTLにてFPGAからLSIへ移行させることも可能
7. 納品したVerilog RTLを、お客様自身でメンテナンスすることも可能（但し、縮小設計技術に関する知的財産権は当社に帰属）

【マセマテック株式会社とは】

プロセスに依存することなく、RTLレベルで回路の縮小を実現する革新的な技術（Spinor®技術）により、FPGA、LSI回路の縮小設計受託サービス、及び各種IPのライセンスを行っている会社です。Spinor®により、FPGA、LSIの「回路規模」、「消費電力」、「遅延」、「レイテンシ」を同時に削減することが可能です。

【本件の連絡先】

マセマテック株式会社  
営業部 二渡

Tel:03-3243-0805 FAX:03-3243-0806

e-mail [info@mathematec.com](mailto:info@mathematec.com) URL: <http://www.mathematec.com>

〒103-0027 東京都中央区日本橋 1-18-14 第3 正明ビル 8F

以上